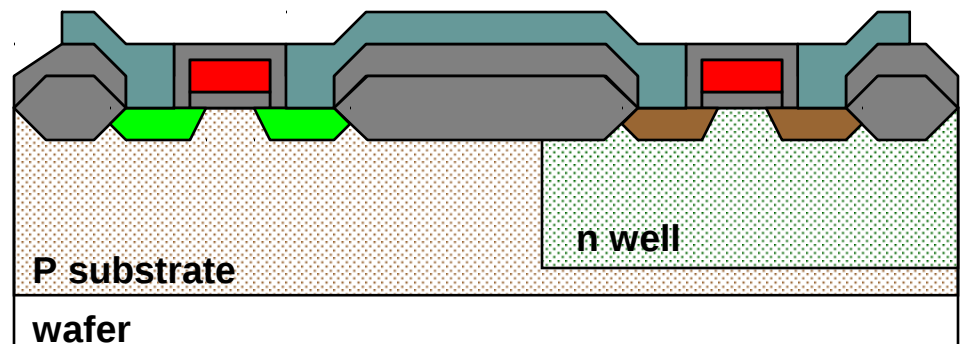
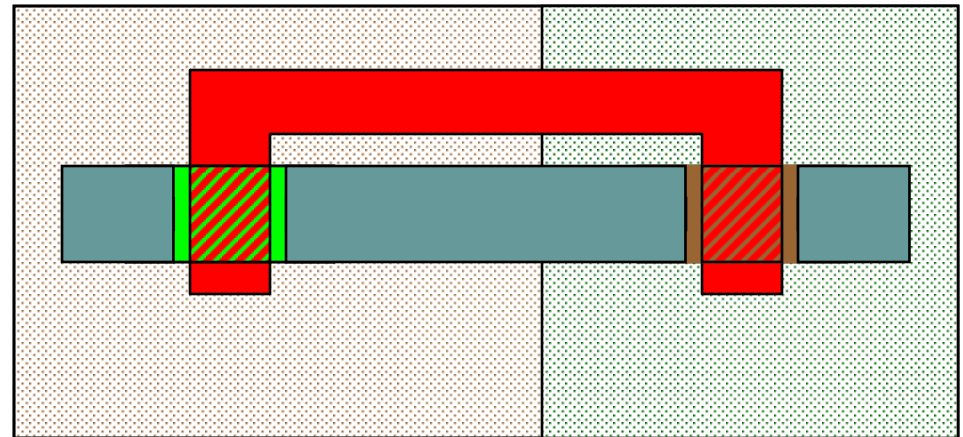


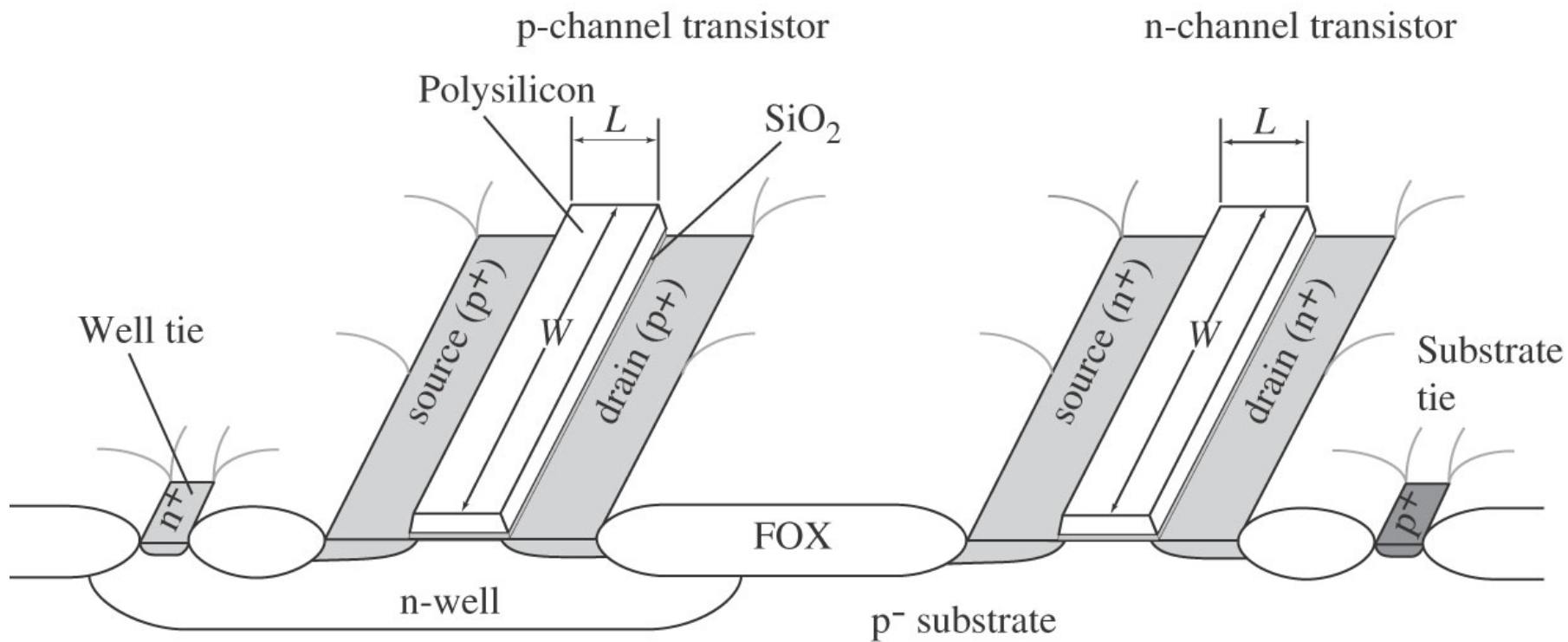
Edytor topografii Magic

Reguły projektowe

Maski technologii CMOS

- Określają położenie obiektów topografii (layout objects)
- Kolory oznaczają poszczególne warstwy
- Obiekty topografii:
 - Prostokąty (rectangles)
 - Wielokąty (polygons)
 - Dowolne kształty
- Rodzaje siatek (grid)
 - Bezwzględne (“micron”)
 - Skalowalne (“lambda”)





Maski symboliczne (abstrakcyjne)

- Idea:
 - Redukcja liczby warstw niezbędnych do opisu projektu
 - Generowanie warstw fizycznych w razie potrzeby
- Magic Layout Editor: "Abstract Layers"
 - metal1 (blue) - 1st layer metal (equiv. to physical layer)
 - Poly (red) - polysilicon (equivalent to physical layer)
 - ndiff (green) - n diffusion (combination of active, nselect)
 - ntranistor (green/red crosshatch) - combined poly, ndiff
 - pdiff (brown) - p diffusion (combination of active, pselect)
 - ptransistor (brown/red crosshatch) - combined poly, pdiff
 - contacts: combine layers, cut mask

Edytor topografii Magic

- Skalowalna siatka do skalowalnych reguł projektowania
(*Scalable Grid for Scalable Design Rules*)
 - Rozmiar siatki: λ (lambda)
 - Wartość zależna od procesu technologicznego:
 $\lambda = 0.5 \times \text{minimalna długość tranzystora}$
- Idea projektowania topografii
 - Rysowanie prostokątów w siatce dla każdej warstwy
 - Interakcje warstw tworzą elementy (np. tranzystory)

Maski (warstwy) w edytorze Magic

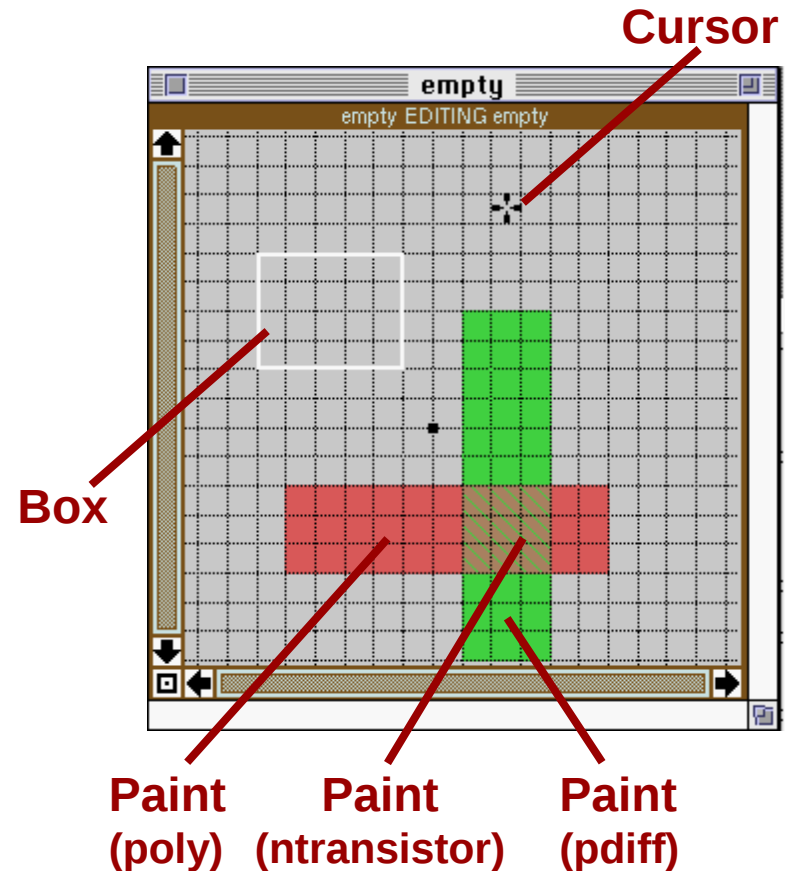
- Poly (red)
- N Diffusion (green)
- P Diffusion (brown)
- Metal (blue)
- Metal 2 (purple)
- Well (cross-hatching)
- Contacts (X)



Edytor Magic interfejs użytkownika

- Okno graficzne
 - Cursor
 - Box – określa obszar wypełniany warstwą
- Okno komend
 - Przyjmuje komendy tekstowe

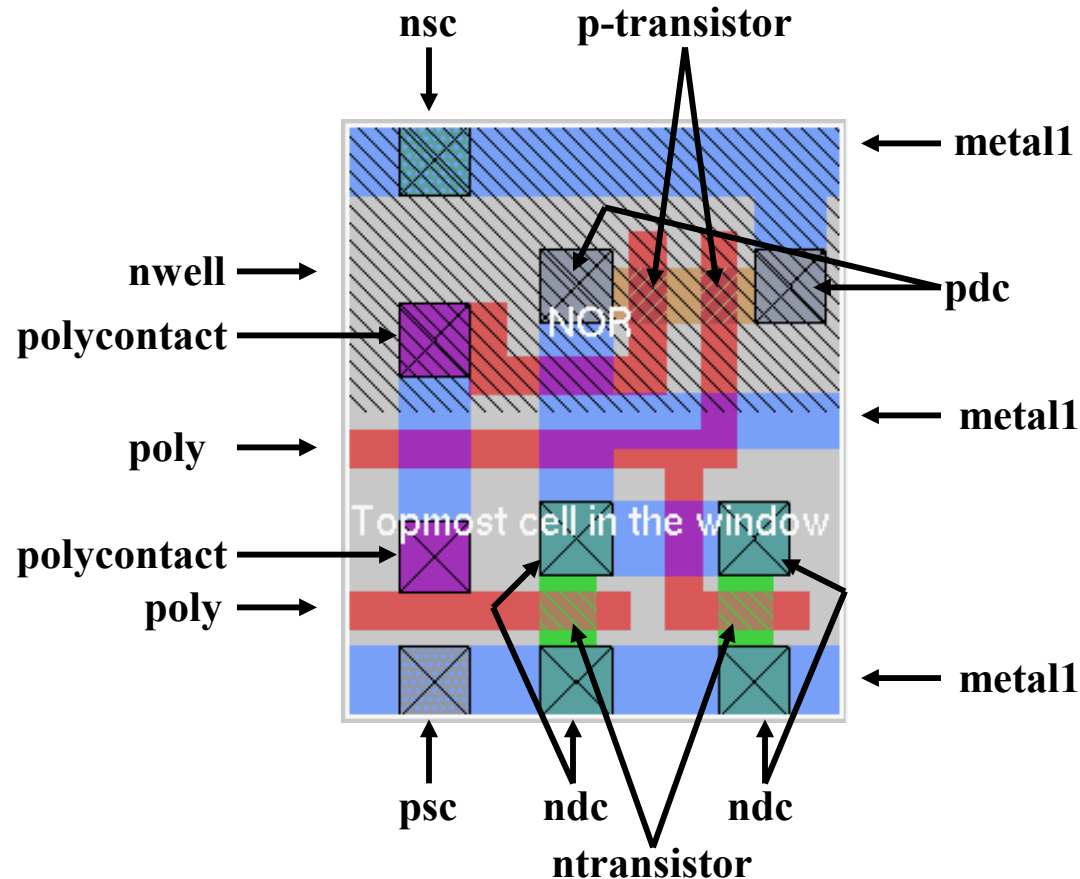
```
:paint poly
:paint red
:paint ndiff
:paint green
:write
```
 - Wyświetla błędy, komunikaty status, itp..



Interakcje warstw w edytorze Magic

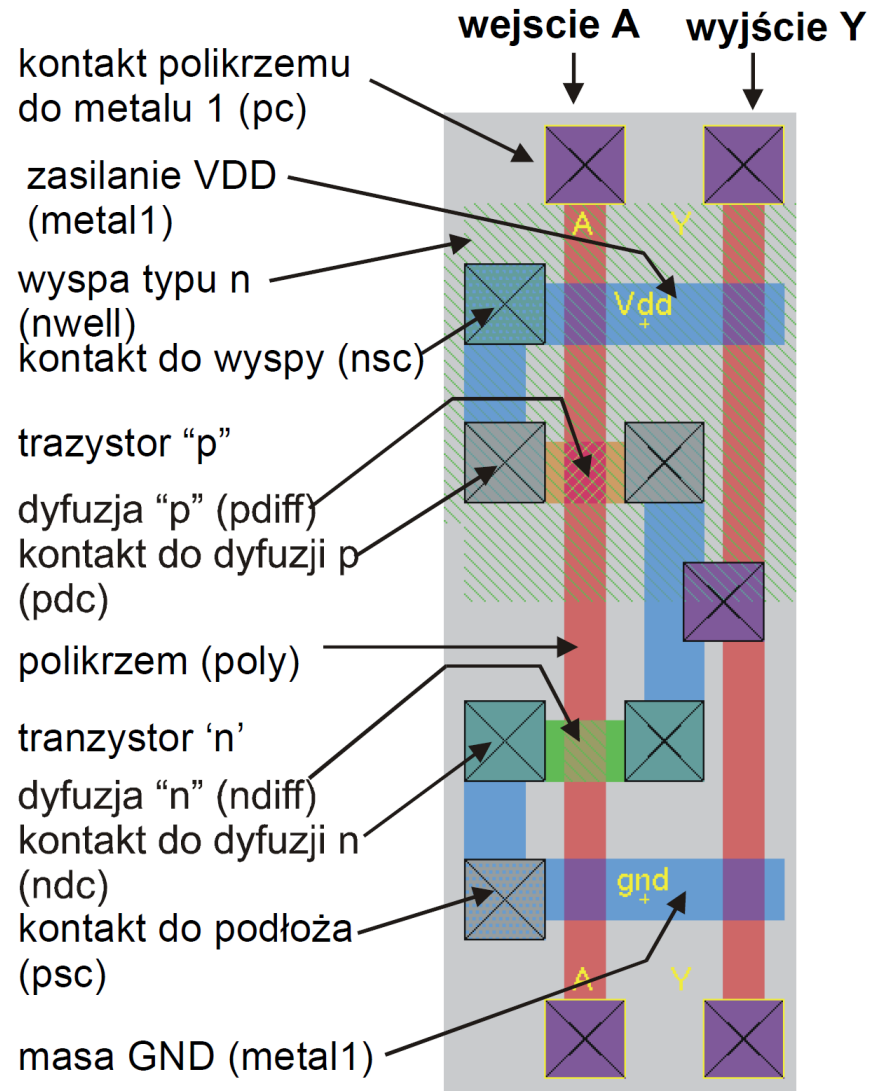
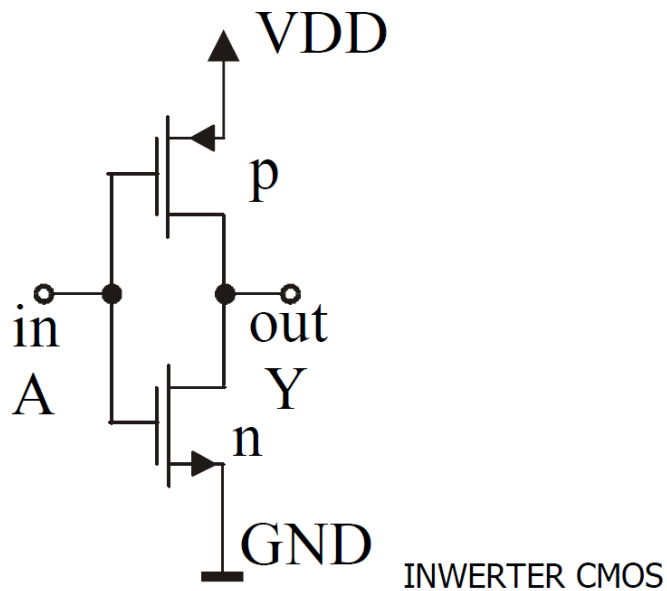
- Transistors - where poly, diffusion cross
 - poly crosses ndiffusion - ntransistor
 - poly crosses pdiffusion - ptransistor
- Vias - where layers connect
 - Metal 1 connecting to Poly - polycontact
 - Metal 1 connecting to P-Diffusion (normal) - pdc
 - Metal 1 connecting to P-Diffusion (substrate contact) - psc
 - Metal 1 connecting to N-Diffusion (normal) - ndc
 - Metal 1 connecting to N-Diffusion (substrate contact) - nsc
 - Metal 1 connecting to Metal 2 - via

Warstwy w edytorze Magic - przykład



Topografia bramki NOR

Warstwy w edytorze Magic - przykład



TOPOGRAFIA INVERTERA

Dlaczego potrzebujemy reguł projektowych?

- Maski są narzędziami do produkcji układów scalonych
- Procesy produkcyjne mają nieodłączne ograniczenia w dokładności.
- Reguły projektowania określają geometrię masek zapewniających odpowiedni uzysk.
- Reguły projektowania określane są eksperymentalnie.

Przykładowe problemy produkcyjne

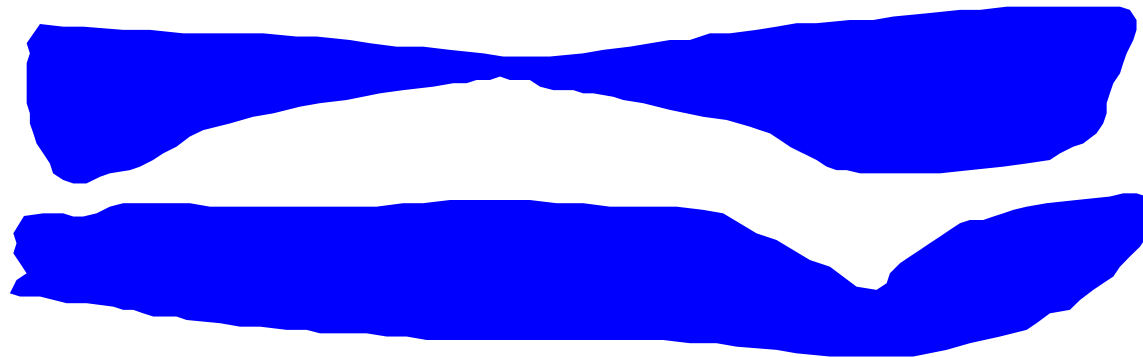
- Skurcz „photoresist'u”
- Rozrzut grubości warstw osadzanych
- Zmiany parametrów w funkcji temperatury
- Rozrzut grubości tlenku podbramkowego
- Zanieczyszczenia
- Rozrzut pomiędzy wafer'ami
- Rozrzut pomiędzy elementami na pojedynczym wafer'rze

Problemy wykonania tranzystorów

- Rozrzut napięcia progowego:
 - Grubość tlenku (oxide thickness);
 - Niedokładność implantacji jonów (ion implantation);
 - Niedokładność wykonania bramki (poly variations).
- Niedokładność wykonania obszarów dyfuzyjnych drenu i źródeł, dyfuzje boczne nakładki.
- Rozrzut parametrów podłoża.

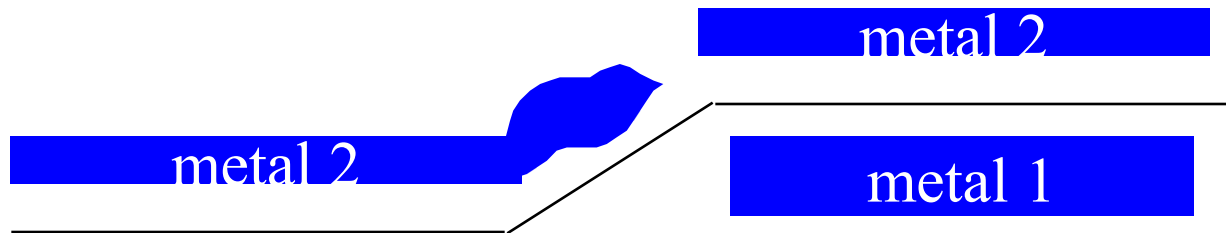
Problemy wykonywania połączeń

- Dyfuzje: zmiany domieszkowania -> zmiany rezystancji, pojemności.
- Poly, metal: zmiany wysokości, szerokości -> zmiany rezystancji, pojemności.
- Zwarcia i rozwarcia:



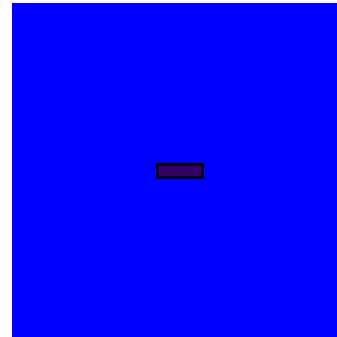
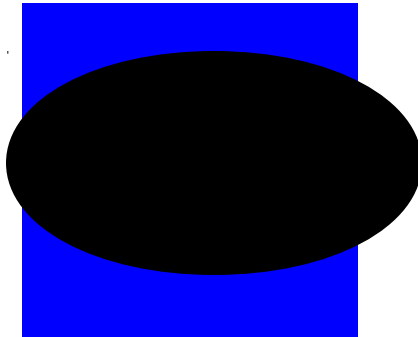
Problemy wykonywania warstw tlenku (Oxide)

- Zmiany wysokości.
- Brak planarności.



Problemy wykonania przelotek (Via)

- Zbyt małe Via mają za dużą rezystancję.
- Zbyt duże Via może powodować zwarcia.



Reguły projektowe

- Typowe reguły:
 - Minimalny rozmiar (minumum size)
 - Minimalny odstęp (minimum spacing)
 - Wyrównanie/nasunięcie warstw (alignment / overlap)
 - Składanie warstw (composition)

Rodzaje reguł projektowych

- Skalowalne reguły projektowe (np. SCMOS)
 - Bazujące na skalowalnej siatce - λ (lambda)
 - Idea: zmienia się wartość λ dla różnych procesów, ale reguły pozostają takie same
 - zaleta: „przenośny” layout
 - wada: nie wszystkie parametry skalują się tak samo
 - Obecnie nie stosuje się ich w przemyśle
- Reguły mikrometrowe (absolutne)
 - Bazujące na rzeczywistych rozmiarach (np. $0.55\mu\text{m}$)
 - Dostosowane do konkretnego procesu (zazwyczaj zastrzeżona własność producenta)
 - Złożone, szczególnie dla technologii submikronowych
 - Layout nie jest „przenośny”

Reguły projektowe MOSIS SCMOS

- Zaprojektowane do skalowania projektów do szerokiej gamy procesów.
- Zaprojektowane do obsługi wielu dostawców/producentów.
- Przeznaczone do zastosowania w edukacji .

Reguły projektowe i λ

- λ jest minimalnym rozmiarem siatki
- Dopiero podanie konkretnej wartości λ definiuje bezwzględne rozmiary projektu.
- Elementy pasażerów zazwyczaj nie są podawane w jednostkach λ .

SCMOS Design Rule - podsumowanie

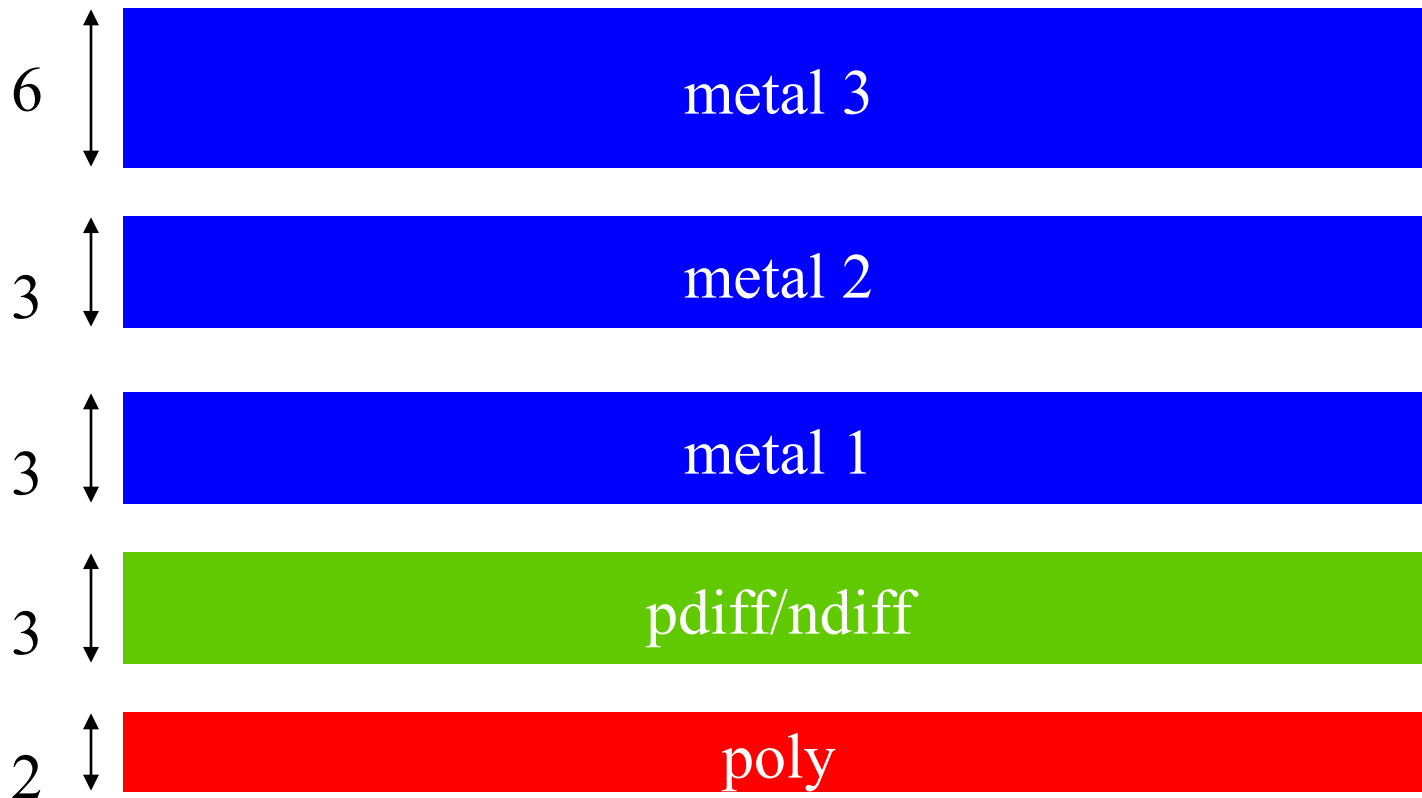
- Line size and spacing:
 - metal1: Minimum width= 3λ , Minimum Spacing= 3λ
 - metal2: Minimum width= 3λ , Minimum Spacing= 4λ
 - poly: Minimum width= 2λ , Minimum Spacing= 2λ
 - ndiff/pdiff: Minimum width= 3λ , Minimum Spacing= 3λ , minimum ndiff/pdiff separation= 10λ
 - wells: minimum width= 10λ ,
min distance from well edge to source/drain= 5λ
- Transistors:
 - Min width= 3λ
 - Min length= 2λ
 - Min poly overhang= 2λ

SCMOS Design Rule - podsumowanie

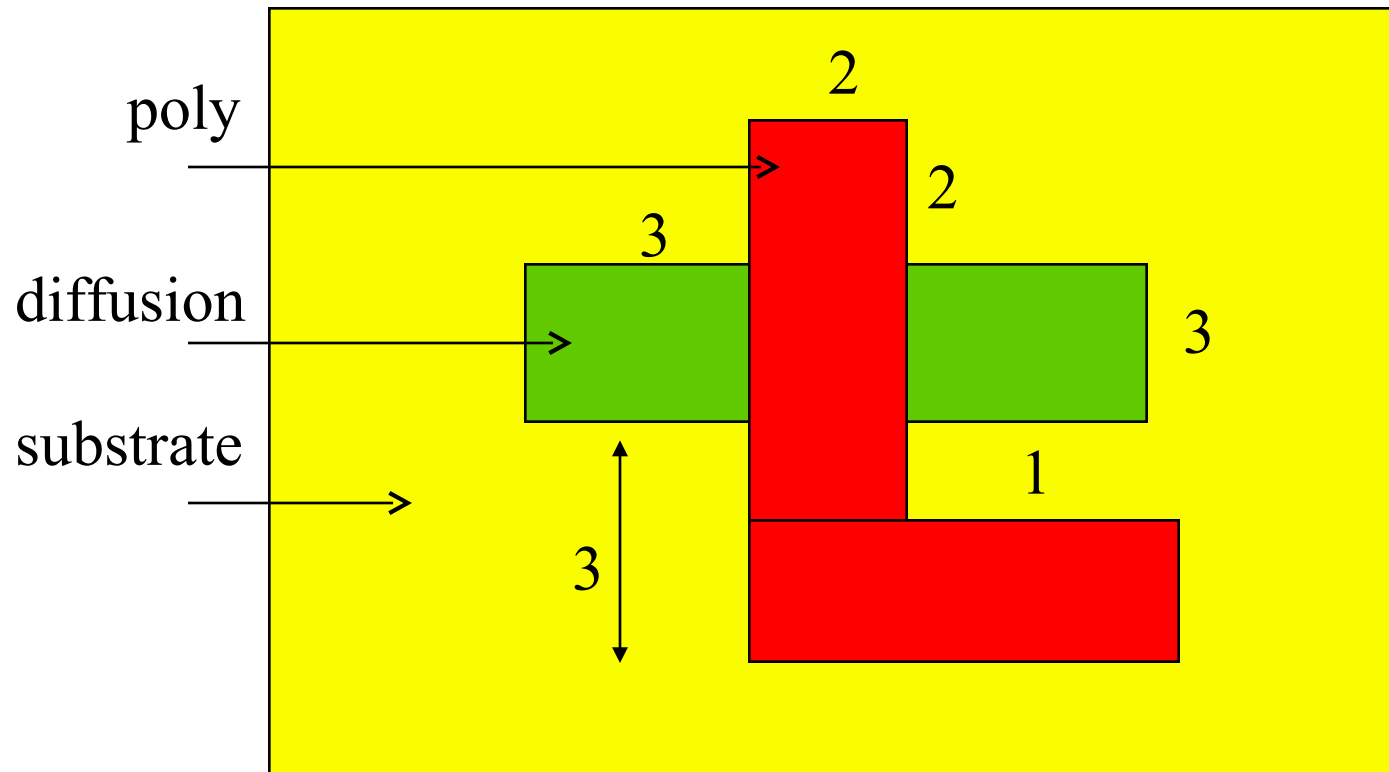
- Contacts (Vias)
 - Cut size: exactly $2\lambda \times 2\lambda$
 - Cut separation: minimum 2λ
 - Overlap: min 1λ in all directions
 - Magic approach: Symbolic contact layer min. size $4\lambda \times 4\lambda$
 - Contacts cannot stack (i.e., metal2/metal1/poly)
- Other rules
 - cut to poly must be 3λ from other poly
 - cut to diff must be 3λ from other diff
 - metal2/metal1 contact cannot be directly over poly
 - CMP Density rules (AMI/HP subm): 15% Poly, 30% Metal

Wires (połączenia)

All wire widths are multiples of λ

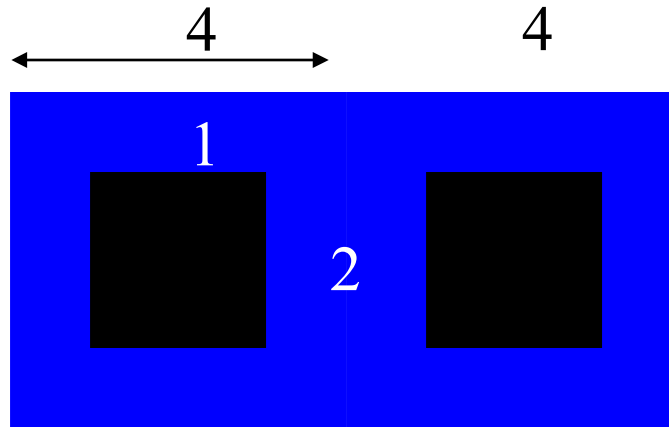


Transistors (tranzystory)

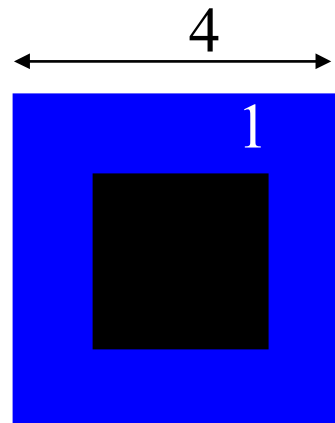


Vias (przelotki)

Types of via: metal1/diff, metal1/poly, metal1/metal2



Tub tie



Metal 3 via

- Type: metal3/metal2.
- Rules:
 - cut: 3 x 3
 - overlap by metal2: 1
 - minimum spacing: 3
 - minimum spacing to via1: 2

Spacing (odstęp)

- diffusion/diffusion: 3
- poly/poly: 2
- poly/diffusion: 1
- via/via: 2
- metal1/metal1: 3
- metal2/metal2: 4
- metal3/metal3: 4

Sprawdzanie reguł projektowych w edytorze Magic

- Złamanie reguł projektowych zaznaczane jest białą warstwą
- Aby wyświetlić jaka reguła została złamana zaznaczamy prostokąt i wpisujemy:
`":drc why"`
Poly must overhang transistor by at least 2 (MOSIS rule #3.3)

